

应用于 Virtex 系列 FPGA 的 IR-CLB 资源的联合测试和诊断

李文昌¹, 万 理², 阮爱武², 于敦山¹

(1 北京大学 信息科学技术学院, 北京 100871;

2 电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: FPGA(Field Programmable Gate Arrays)作为现场可编程门阵列,其丰富的内部资源和强大的功能越来越受到应用者的青睐.随着 FPGA 规模的增大,其可靠性问题日益受到重视.因此,如何保证 FPGA 可靠性成为了 FPGA 生产厂商和应用人员需要共同面对的问题.从 FPGA 的可靠性这一重要性出发,针对 Virtex 系列 XCV300 芯片的故障测试,根据互联资源的特点,创新性地提出了针对 IR 和 CLB 资源的 IR-CLB 资源联合测试方法.实现了 IR 和 CLB 资源的同时测试,并且利用 FPGA 底层布线工具得到了实际测试配置图形.

关键词: 现场可编程门阵列;互联资源;可编程逻辑模块;联合测试

中图分类号: TP206

文献标识码: A

文章编号: 1000-7180(2014)01-0005-03

Testing and Diagnosis for Both Interconnect Resources and CLB in Virtex Series FPGAs

LI Wen-chang¹, WAN Li², RUAN Ai-wu², YU Dun-shan¹

(1 School of Electronics Engineering and Computer Science, Peking University, Beijing 100871, China;

2 State key Laboratory of Electronic Thin Films and Integrated Devices,
University of Electronic Science & Technology of China, Chengdu 610054, China)

Abstract: The FPGA (Field Programmable Gate the Arrays), as the most widely used programmable devices, are favored by more and more people due to their wealthy internal resources and good performance. However, the issue of FPGA reliability has received increasingly attention. A fault testing and diagnosis technique for both interconnect resources and CLB in Virtex series FPGAs is presented in the paper. Experimental results demonstrate that the proposed testing and diagnosis method is applicable to the Virtex series FPGAs.

Key words: Field Programmable Gate Arrays; interconnect resource (IR); configurable logic block (CLB); testing; diagnosis

1 引言

目前 FPGA 被大量使用,它的可靠性越来越成为 FPGA 生产厂商和应用人员共同关注的重要问题. FPGA 芯片生产的过程中需要对 FPGA 进行严格的故障测试,检查芯片是否存在问题,所以对 FPGA 进行故障检测具有非常重要的意义.国内外出现了很多针对 FPGA 测试方法研究的学术论文.文献[1-5]主要针对内建自测试(Built-In Self-Test, BIST)方法进行研究,文献[6-7]主要针对多故障诊

断进行了研究.但是,大多数文章只是针对 FPGA 中的某一类资源进行的测试,如可编程逻辑模块(configurable logic blocks, CLB)或互联资源(interconnect resource, IR).当测试 CLB 资源时,需要假设 IR 资源是无故障的.同样,当测试 IR 资源时,需要假设 CLB 资源是无故障的.这些测试方法都存在一定的局限性.在文献[8]中,提出了通过内建测试的方法来同时测试 IR 资源和 CLB 资源,但是需要太多的配置图形,进而影响到最终的测试效率,且事先需要假设无故障区域,因而不能够保证测试的准

确率. 文献[9]中提出的内建自测试方法, 通过迭代方法来进行测试, 从而不用假设无故障模块就能实现 IR 和 CLB 资源的联合测试, 但是这种算法也需要太多的配置图形, 从而耗费大量的测试时间.

本文提出一种针对 Virtex 系列 FPGA 的测试方法. 相比其他测试方法, 该方法采用 FPGA 互联资源和可编程逻辑模块资源联合测试的思想, 同时对 IR 和 CLB 资源进行测试, 而不必假设其中一类是无故障的, 并且能够实现故障的定位分析.

2 FPGA 内部资源

图 1 所示为 Virtex 系列 FPGA 的基本结构模型^[10]. 该模型整体上由大量重复的可编程逻辑模块和开关矩阵 (switch matrix, SM) 组成一个二维阵列, 每个 CLB 包含两个结构相同的 Slice 单元, Slice 内部大量的逻辑模块通过输入输出多路选择器 (I/O MUX) 与开关矩阵相连接, 开关矩阵同时又为阵列中不同的 CLB 之间提供水平和垂直的布线通道.

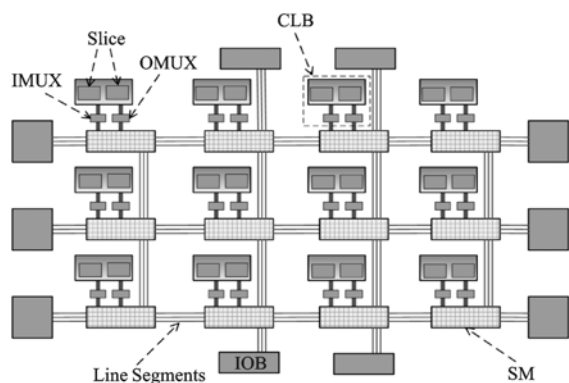


图 1 Virtex 系列 FPGA 的基本结构模型

3 IR 资源测试

在整个 FPGA 测试中, 开关矩阵始终扮演着非常重要的角色, 其中每条 IR 互联线都至少同另一个 PIP 相连接. 因此, 在保证对 PIP 覆盖的同时就必然能确保对 IR 互联资源的覆盖. 为了简化测试, 本文根据开关矩阵中 PIP 两端连线的不同, 重新对互联资源进行如下的划分, PIP 两端连接的均是单长线 (Single-to-Single), PIP 两端连接的是六长线 (Hex-to-Hex), PIP 一端连接单长线另一端连接六长线 (Hex-to-Single).

图 2 是 XCV300 通用开关矩阵与互联底层示意图. 在 FPGA 内部, 单长线、六长线和长线等 IR 资源都是可编程的, 它们之间必须通过通用布线的开关矩阵 GRM 才可以进行相互的连接. 在对 IR 资

源的测试过程中, 本文把测试分为 Single-to-Single, Hex-to-Hex 和 Hex-to-Single 等三类互联资源的测试, 分别对它们进行测试.

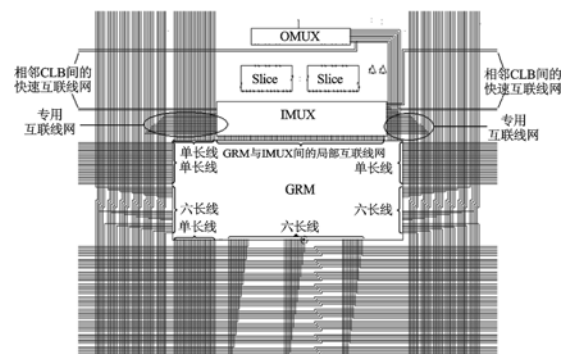


图 2 XCV300 的通用开关矩阵与互联的底层示意图

4 IR 和 CLB 资源的联合布线测试

在开关矩阵中, 每一条六长线都可以同时与同一开关矩阵中其它方向的两条单长线相连接, 对于 Hex-to-Single 类互联资源, 本文主要目标是测试连接 Single 线 (单长线) 和 Hex 线 (六长线) 的 PIP. 对于 Single-to-Single 和 Hex-to-Hex 两类互联资源, 可以借助最小可重构单元的概念, 使用 IR 测试算法来进行测试, 而对于 Hex-to-Single 类互联资源, 本文使用 IR 和 CLB 资源的联合布线测试.

Hex-to-Single 类互联资源分别连接六长线和单长线. 在联合测试中, 本文借助 IR 测试算法的 Hex-to-Hex 类互联资源的测试图形, 使用六长线来提供测试信号, 通过 Hex-to-Single 类互联资源, 连接到单长线. 再通过单长线, 把测试信号接入到 CLB, 最后连接到 CLB 单元中的触发器输入端, 通过回读触发器中的数据实现对互联资源和 CLB 同时进行测试. 尽管 CLB 的测试方法比较成熟, 但是对于较为复杂的 FPGA, 这些方法理论上可行但实际实现的难度较大, 且会用到较多的测试配置图形. 为了解决这个难题, 本文开发了基于边界扫描和位流回读的 FPGA 测试平台, 将 CLB 待测单元按照一定的算法排列, 通过向 CLB 的存储单元写入数据和回读配置位流来判断和定位 CLB 的故障.

通过 IR-CLB 资源的联合布线测试, 一方面可以实现 Hex-to-Single 类互联资源的测试; 另一方面还可以同时实现对 CLB 的测试覆盖, 最终达到减小测试配置图形的目的. 因为是通过外部输入激励, 所以不用假设无故障区域, 并且所有的 FPGA 芯片都属于被测区域, 从而能够使用很少的测试次数实现 IR 和 CLB 资源的联合布线测试.

如图3所示,来自信号输入端口的信号通过六长线进入到 Hex-to-Single 类互联资源上,再经过通用开关矩阵进入到 CLB 的触发器内部,同时利用测试平台回读触发器内部的配置位流信息,通过比较分析该信号与原始输入信号之间的差异,从而检测该信号流经的 Hex-to-Single 类互联资源和 CLB 资源是否存在故障。

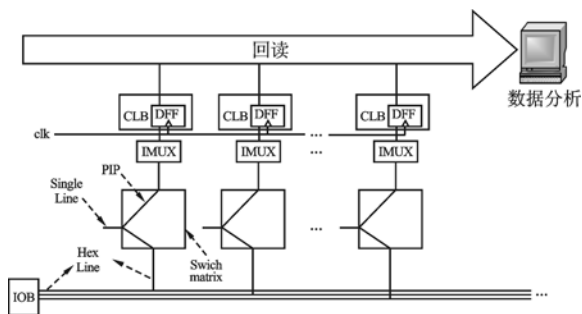


图3 Hex-to-Single 类互联资源与 CLB 资源联合测试原理

文献[8]中对 XC4000 的测试需要配置 120 次,且测试的 IR 类型仅为 Single. 文献[9]中针对的是一个 32×32 的 FPGA,且一个 CLB 中有 3 个 3 输入的 LUT,仅考虑 Single 类型的 IR 联合测试. 本文的测试是对 XCV300 进行的,其测试要比 XC4000 复杂很多. 本文的方法是将 Hex-to-Single 类型与 CLB 联合测试,完成对 CLB 的完全测试,需要 12 次配置;Hex-to-Hex 需要 7 次配置,Single-to-Single 需要 3 次配置,这样完成 CLB+IR 的全部测试,共需 22 次配置。

针对 Virtex 系列 FPGA 芯片 XCV300 的互联资源,本文利用底层布局布线工具 FPGA Editor 得到覆盖六长线端点的水平和垂直走向的配置图形. 根据 Hex-to-Single 类互联资源与 CLB 资源的联合测试原理,得到的其中一个测试配置图形. 图4是 Hex-to-Single 类互联资源与 CLB 资源的联合测试的其中一个整体测试配置图形,这部分测试图形覆盖了六长线到单长线的所有 pip 和 CLB 内部的所有逻辑资源。

根据配置算法将 CLB 配置成不同的测试功能,将 CLB 的所有资源放在几个不同的配置中来测试,最终实现 CLB 资源测试的全覆盖. 由于测试信号在经过 CLB 的时候至少经过一次锁存,同时通过测试平台回读寄存器的值,实现了故障的定位。

5 结束语

本文通过对 Virtex 芯片的整体构架和内部资

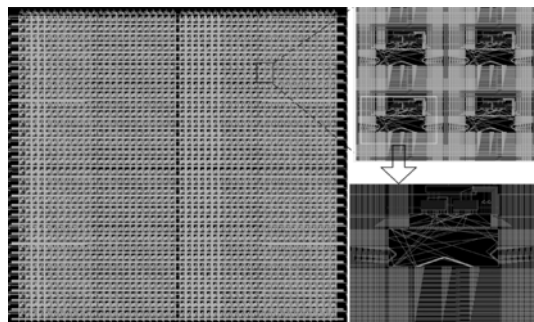


图4 Hex-to-Single 类互联资源与 CLB 资源联合测试整体配置图形

源的研究,提出了针对 Virtex 系列芯片内部资源故障测试的测试方法. 与传统的测试方法相比,本文提出的测试方法在故障定位、测试配置等方面都有较好的解决. 联合测试算法利用 CLB 资源的特点,在测试 IR 资源的同时测试 CLB 资源. 该算法不但有利于实现测试故障的定位,还有利于减少最终的测试配置次数,并且在测试的过程中,不必假设 IR 或者 CLB 两种资源其中的一类是无故障的,提高了测试准确率. 最后,本文利用 FPGA 底层布线工具 FPGA Editor 针对 XCV300 芯片得到了实际的测试配置图形,并在测试平台上进行了测试,达到了预期的效果。

本文提出的测试思想对于 FPGA 芯片的测试具有较为重要的意义,对于今后研究 Virtex 芯片内部资源的测试具有可供参考的价值. 目前本文联合测试的方法对 CLB 资源的故障定位不够精细,只能定位到以触发器或寄存器为划分的 Slice 单元是否存在故障,这方面的解决是今后工作的重点之一。

参考文献:

- [1] Martin R. Application dependent FPGA testing method using compressed deterministic test vectors[C]// On-Line Testing Symposium. Liberec, 2010:192-193.
- [2] Miiron A, Charles S. BIST-based test and diagnosis of FPGA logic blocks[J]. IEEE transaction on VLSI systems, 2001(9):159-172.
- [3] Charles S, Neil C. Built-In self-test of programmable clock buffers in Virtex-4, Virtex-5 and Virtex-6 FPGAs [C]// IEEE 43rd Southeastern Symposium on System Theory. USA, Auburn University, 2011:226-230.
- [4] Vishal S, Shantanu D. Efficient on-line interconnect testing in FPGAs with provable detectability for multiple faults[J]. Design, Automation and Test in Europe, 2006(24):1-6.

(下转第12页)

表明 HNAIS 具有较好的适应性. 在以后的研究中, 可以考虑结合矩阵模型的高度病态性以及智能算法来进一步提高预测精度.

参考文献:

- [1] Teixeira R, Agarwal S, Rexford J. BGP routing changes:merging views from two ISPs[J]. ACM SIGCOMM Computer Communication Review, 2005, 35(3): 79-82.
- [2] 钱叶魁, 陈鸣. 因特网流量矩阵的流形结构[J]. 电子与信息学报, 2010, 32(12): 2981-2986.
- [3] Cao J, Davis D, Wiel S V, et al. Time-varying network tomography;router link data[J]. Journal of the American Statistical Association, 2000, 452(95):1063-1075.
- [4] 周静静, 杨家海, 杨扬, 等. 流量矩阵估算的研究[J]. 软件学报, 2007, 18(11): 2669-2682.
- [5] Tan L, Wand X. A novel method to estimate IP traffic matrix[J]. IEEE Communications Letters, 2007, 11(11): 907-909.
- [6] Liang G, Yu B. Maximum pseudo likelihood estimation in network tomography[J]. IEEE Transactions on Signal Processing, 2003, 51(8): 2043-2053.
- [7] 戚玉涛, 刘芳, 焦李成. 基于分布式人工免疫算法的数值优化[J]. 电子学报, 2009, 37(7): 1554-1561.
- [8] Jiang D D, Hu G M. Large-scale IP traffic matrix estimation based on the recurrent multilayer perceptron network[C]// 2008 IEEE International Conference on Communication. Washington, DC: IEEE Computer Society, 2008: 229-232.

作者简介:

孙 斌 男, (1974—), 博士, 讲师. 研究方向为网络流量工程.

王新勇 男, (1968—), 硕士, 高级工程师. 研究方向为物联网.

(上接第 7 页)

- [5] Vinay V, Shantanu D, Vishal S. Efficient on-line testing of FPGAs with provable diagnosabilities [C]// 41st Design Automation Conference. USA, California, 2004: 498-503.
- [6] Anita J, Vaathi P. Multiple fault diagnosis with improved diagnosis resolution for VLSI circuits [C]// 2010 International Conference on Computing Communication and Networking Technologies. India, Coimbatore, 2010: 1-6.
- [7] Lin Y, Feng Lu, Kwang-Ting Cheng. Multiple-fault diagnosis based on adaptive diagnostic test pattern generation[J]. IEEE transaction on Computer-Aided Design of Integrated Circuits and Systems, 2007 (26): 932-942.
- [8] Chun-Lung Hsu. Built-in self-test design for fault detection and fault diagnosis in SRAM-Based FPGA[J]. IEEE Instrumentation and Measurement Society, 2009 (50): 2300-2315.
- [9] Shantanu D. Mixed PLB and Interconnect BIST for FPGAs Without Fault-Free Assumption [C]// 24th IEEE VLSI Test Symposium. USA, California, 2006: 38-43.
- [10] San J Ca. The programmable logic data book[M]. USA: Xilinx Inc, 2003.

作者简介:

李文昌 男, (1974—), 博士. 研究方向为 FPGA 设计与测试、电源管理芯片的设计.

万 理 男, (1988—), 硕士研究生. 研究方向为数字 IP 验证.

阮爱武 女, (1967—), 博士, 副教授. 研究方向为 SOC 的验证、FPGA 和 SOPC 设计.

于敦山 男, (1970—), 博士, 教授, 博士生导师. 研究方向为 SOC 设计与测试、电源管理 IP 设计等.